

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-232577
 (43)Date of publication of application : 14.09.1990

(51)Int.Cl.

G01R 31/318
 G01R 31/26
 H03K 19/00
 H03K 19/0175

(21)Application number : 01-051963

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 06.03.1989

(72)Inventor : TANOI SATOSHI

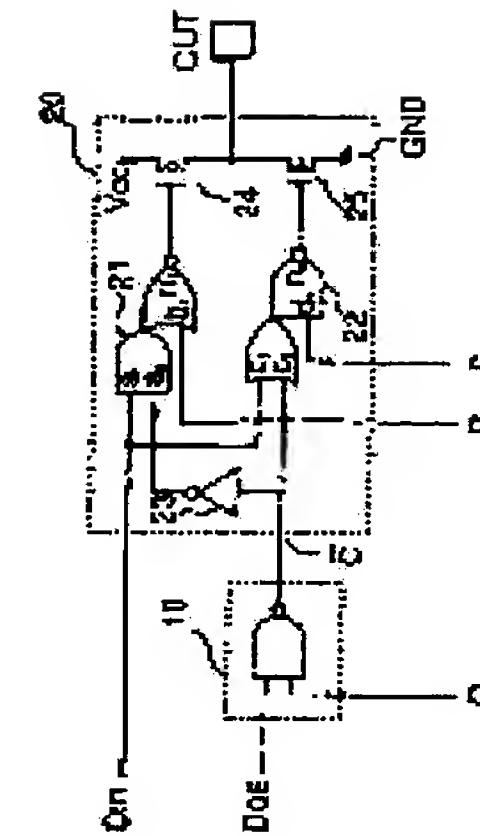
(54) OUTPUT CIRCUIT

(57)Abstract:

PURPOSE: To enable fast operation with a reduction in the number of elements by building a circuit having a driver control circuit, two compound gates and an output means.

CONSTITUTION: This circuit is made up of a driver control circuit 10 comprising two input NANDs, two compound gates 21 and 22, an inverter 23, and an output drive circuit 20 comprising PMOS and NMOS transistors Tr 24 and 25. Then, at a normal mode, the circuit 10 outputs a tristate control signal DOE by inversion and two gates 21 and 22 also output output signals by inversion separately.

According to the signals, any one state of a high level HL, a low level LL and a high impedance HI is outputted. At a test mode, the circuit 10 outputs a HL state, the gate 21 a LH state and the gate 22 a HL state separately. An output means outputs any one of the HL, LL and HI according to the states of test control signals Q, R and S. A circuit thus arranged allows a very small number of elements— 18 of transistors — and an output signal Din only passes through a double stage gate thereby enabling fast operation.



⑫ 公開特許公報 (A)

平2-232577

⑬ Int. Cl. 5

G 01 R 31/318
31/26
H 03 K 19/00
19/0175

識別記号

厅内整理番号

⑬ 公開 平成2年(1990)9月14日

G 8606-2G
B 8326-5J6912-2G G 01 R 31/28
8326-5J H 03 K 19/00101 A
J

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 出力回路

⑮ 特願 平1-51963

⑯ 出願 平1(1989)3月6日

⑰ 発明者 田野井聰 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑮ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑯ 代理人 弁理士 鈴木敏明

明細書

1. 発明の名称

出力回路

2. 特許請求の範囲

トライステート制御信号及び第1のテスト制御信号が入力され、ノーマルモードのときは、該トライステート制御信号を反転出力し、テストモードのときは、ハイレベルの状態を出力するドライバ制御回路と、

内部論理回路からの出力信号、前記ドライバ制御回路の反転出力信号及び第2のテスト制御信号が入力され、ノーマルモードのときは、出力信号を反転出力し、テストモードのときは、ローレベルの状態を出力する第1の複合ゲートと、

前記出力信号、前記ドライバ制御回路の出力信号及び第3のテスト制御信号が入力され、ノーマルモードのときは、該出力信号を反転出力し、テストモードのときは、ハイレベルの状態を出力する第2の複合ゲートと、

前記第1の複合ゲート及び前記第2の複合ゲー

トの出力が入力され、ノーマルモードのときは、前記出力信号及び前記トライステート制御信号に応じて、ハイレベル、ローレベル及びハイインピーダンスのうち、いずれか一つの状態を出力し、テストモードのときは、前記第1のテスト制御信号、前記第2のテスト制御信号及び前記第3のテスト制御信号の状態に応じて、ハイレベル、ローレベル及びハイインピーダンスのうち、いずれか一つの状態を出力する出力手段と、

を備えたことを特徴とする出力回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体集積回路の出力回路に関し、さらに詳しくは直流テストを容易にする機能を備えた出力回路に関する。

【従来の技術】

一般に、半導体集積回路は相互に接続された入力回路、内部論理回路及び出力回路から構成されている。

この半導体集積回路のテストとしては、内部論

理回路の論理機能を確認する機能テスト及び直流テスト等がある。機能テストは半導体集積回路の動作周波数(1~50MHz)又は動作周波数に近い周波数のクロック信号を半導体集積回路に加えることにより行なう。又、直流テストは、例えば出力回路の出力がローレベル「L」になるように、出力回路への入力信号の論理レベル及び内部論理回路の状態を設定しておき、一定のシンク電流条件下で実際の出力回路の論理レベルを測定し、出力回路の良、不良を判定するテストである。

直流テストは全く別に新たに内部論理回路の状態を設定する手順が必要なので、機能テストとは手順を別けて別に行なう。

なお、直流テストはテストする装置の制約等から一つの出力回路毎に行ない、一つの出力回路のテストに数ms程度を要する。

ところで、内部論理回路が高集成化、複雑化した今日においては、出力回路がテスト用の論理レベル、即ちハイレベル「H」、ローレベル「L」及びハイインピーダンス「Z」等を出力するよう

「H」)のときはテスト専用出力信号TD_{1n}を接続端子Qに出力する。

なお、接続端子Qは接続端子Cがハイインピーダンスでない状態のときに、ローレベル「L」の状態又はハイレベル「H」の状態を切り換える信号を入力する端子である。

出力ドライバ制御回路50はNOR51及び52から構成されており、テスト制御信号T_{0E}及びリセット信号RSTに基づいて、接続端子Cからトライステート制御信号D_{0E}をそのまま出力し、又はトライステート制御信号D_{0E}と無関係にハイレベル「H」又はローレベル「L」を出力するかを制御する。

出力ドライブ回路60はNAND61、62、インバータ63、NMOSトランジスタ64及びPMOSトランジスタ65から構成されており、選択回路40及び出力ドライバ制御回路50の制御に従って、出力端子OUTにハイレベル「H」、ローレベル「L」又はハイインピーダンス「Z」の3状態のうち、いずれか一つの状態を出力する。即ち、出力ドライブ回路

に、内部論理回路の状態を設定するためには、多くのクロック信号及び複雑な手順が必要になっていいる。

この結果、直流テストに要する時間が非常に長くなってしまう。そのため、内部論理回路の状態に拘らず、出力回路を任意の論理レベルに設定できる出力回路が提案されている。

第2図は特開昭62-269418号公報に記載されている出力回路の回路図である。この出力回路は選択回路40、出力ドライバ制御回路50及び出力ドライブ回路60から構成されている。

選択回路40はトライステートインバータ41、42及びインバータ43から構成されており、テスト制御信号T_{0E}の制御により、内部論理回路(図示せず)からの出力信号(以下、単に出力信号という)T_{1n}及びテスト専用出力信号TD_{1n}のうち、いずれか一方を出力する。選択回路40はテスト制御信号T_{0E}がハイレベル「H」(又は、ローレベル「L」)のときは出力信号T_{1n}を、テスト制御信号T_{0E}がローレベル「L」(又はハイレベル

「H」)のときはテスト専用出力信号TD_{1n}を接続端子Qに出力する。

このように、従来の出力回路は出力信号D_{1n}及びトライステート制御信号D_{0E}を選択回路40及び出力ドライバ制御回路50を介して出力ドライブ回路60に出力するので、内部論理回路の状態に拘らず、3本のテスト信号線TD_{1n}、T_{0E}及びRSTにより直接、出力ドライブ回路60の出力端子OUTをハイレベル「H」、ローレベル「L」又はハイインピーダンス「Z」の状態に設定できる。

【発明が解決しようとする課題】

しかし、上記構成の従来の出力回路は全部で34個のMOSトランジスタから構成されている。即ち、トライステートインバータ41及び42が4個、NAND43が4個、NOR51及び52が3個、NAND61、62が3個、インバータ63、64が4個、出力トランジスタ65及び66が1個のMOSトランジスタからそれぞれ構成されている。このため、出力回路の構成が複雑になるという問題点があった。

なお、トライステートインバータ41及び42を第3図に示すように素子数の少ないクロックド・イ

ンバータでそれぞれ実現するものとして、出力回路の素子数を数えた。

このように出力回路を構成する素子数が多いことは、特に多数の入出力回路から構成されているゲートアレイ等において、集積度の向上を妨げ、又歩留まりを低下させる要因になる。

さらに、出力信号 D_{1n} は出力端子 out に到達するまでに、4段のゲートを通るので、実際に出力回路を動作させるとときに、動作速度が遅くなるという問題点があった。

本発明は上記問題点を解決するためになされたもので、素子数が少なく、高速動作が可能な、テストが容易にできる出力回路を提供することを目的とする。

【課題を解決するための手段】

本発明に係る出力回路は、トライステート制御信号及び第1のテスト制御信号が入力され、ノーマルモードのときは、トライステート制御信号を反転出力し、テストモードのときは、ハイレベルの状態を出力するドライバ制御回路と、内部論理

回路からの出力信号、ドライバ制御回路の反転出力信号及び第2のテスト制御信号が入力され、ノーマルモードのときは、出力信号を反転出力し、テストモードのときは、ローレベルの状態を出力する第1の複合ゲートと、出力信号、ドライバ制御回路の出力信号及び第3のテスト制御信号が入力され、ノーマルモードのときは、出力信号を反転出力し、テストモードのときは、ハイレベルの状態を出力する第2の複合ゲートと、複合ゲート及びの出力が入力され、ノーマルモードのときは、出力信号及びトライステート制御信号に応じて、ハイレベル、ローレベル及びハイインピーダンスのうち、いずれか一つの状態を出力し、テストモードのときは、第1のテスト制御信号、第2のテスト制御信号及び第3のテスト制御信号の状態に応じて、ハイレベル、ローレベル及びハイインピーダンスのうち、いずれか一つの状態を出力する出力手段とを備えている。

【作用】

上記構成の出力回路は、ノーマルモードの場合、

ドライバ制御回路がトライステート制御信号を反転出力し、第1の複合ゲート及び第2の複合ゲートが出力信号を反転出力し、出力手段が出力信号及びトライステート制御信号に応じて、ハイレベル、ローレベル及びハイインピーダンスのいずれか一つの状態を出力する。

又、テストモードの場合、ドライバ制御回路がハイレベルの状態を出力し、第1の複合ゲートがローレベルの状態を出力し、第2の複合ゲートがハイレベルの状態を出力し、出力手段が第1のテスト制御信号、第2のテスト制御信号及び第3のテスト制御信号の状態に応じて、ハイレベル、ローレベル及びハイインピーダンスのいずれか一つの状態を出力する。

【実施例】

以下、本発明の一実施例を添付図面を参照して詳細に説明する。

第1図は本発明の一実施例に係る出力回路の回路図である。本実施例に係る出力回路は第1図に示すように、ドライバ制御回路10及び出力ドライ

ブ回路20から構成されている。

ドライバ制御回路10は2入力NANDにより構成されており、一方の入力にトライステート制御信号 D_{0E} が、他方の入力にテスト制御信号 Q がそれぞれ入力される。

ドライバ制御回路10はテスト制御信号 Q がハイレベル「H」のときは、トライステート制御信号 D_{0E} を反転して接続端子 C に出力し、テスト制御信号 Q がローレベル「L」のときは、トライステート制御信号 D_{0E} に無関係に、ハイレベル「H」を接続端子 C に出力する。

ドライバ制御回路20は複合ゲート21、22、インバータ23、PMOSトランジスタ24及びNMOSトランジスタ25から構成されている。

複合ゲート21は2入力AND及び2入力NORを接続した構成になっており、一方の入力端子 a_1 に出力信号 D_{1n} が入力され、他方の入力端子 a_2 にインバータ23を介してドライバ制御回路10の状態が入力される。さらに、制御端子 b_1 にテスト制御信号 R が入力される。

又、複合ゲート22は2入力OR及び2入力ANDを接続した構成になっており、一方の入力端子c₁に出力信号D_{in}が入力され、他方の入力端子c₂にドライバ制御回路10の状態が入力される。さらに、制御端子d₁にテスト制御信号Sが入力される。

第4図及び第5図は複合ゲート21及び22の回路図である。なお、これらの回路の動作は周知であるので、その説明は省略する。第4図及び第5図に示すように、複合ゲート21はローレベル「L」のテスト制御信号Rを入力にすることにより、NANDとして動作し、複合ゲート22はハイレベル「H」のテスト制御信号Sを入力にすることにより、NORとして動作することになる。

第6図はテスト制御信号Q、R及びSを出力するテスト制御信号発生回路の回路図である。このテスト制御信号発生回路は2本のテスト制御入力信号TEST0、TEST1によってテスト制御信号Q、R及びSを発生する。

第1表はテスト制御信号発生回路の真理値表で

ある。なお、テスト制御入力信号TEST0、TEST1の各条件に対応する出力回路の動作状態も併せて示す。

第1表

入力信号		出力信号			出力回路の動作状態
TEST0	TEST1	Q	R	S	
H	H	H	L	H	通常動作
H	L	L	H	H	ハイレベルテスト
L	H	L	L	L	ローレベルテスト
L	L	L	L	H	ハイインピーダンステスト

上述したテスト制御信号発生回路を一つ設けることにより、複数の出力回路を接続して同時に制御できるので、集積回路全体の素子数が著しく増えるということなく、テストの制御をより単純な信号の組み合わせで行なうことができる。

PMOSトランジスタ24及びNMOSトランジスタ25はそれぞれゲート電極に複合ゲート21の出力n₁及び複合ゲート22の出力n₂が接続されており、出力n₁及びn₂により、それぞれオン・オフ動作をする。

又、PMOSトランジスタ24のソース電極は電源電圧Vccに、NMOSトランジスタ25のソース電極は接地電位GNDにそれぞれ接続されている。

さらに、PMOSトランジスタ24及びNMOSトランジスタ25はドレイン電極が出力端子outにそれぞれ接続されている。出力端子outは出力回路が良品であるか否かを示す信号を出力する。

なお、第1図に示した出力回路はドライバ制御回路10、複合ゲート21を構成するPMOSトランジスタ26、NMOSトランジスタ27及び複合ゲート22を構

成するPMOSトランジスタ28、NMOSトランジスタ29がテスト制御回路として動作する。

次に、第1図に示した出力回路の動作について、第2表の真理値表を参照して説明する。

第2表

入力信号	テスト制御信号	複合ゲートの出力	出力	動作状態				
D _{in}	D _{OE}	Q	R	S	n ₁	n ₂	out	
H	H	H	L	H	L	L	H	通常動作
L	H	H	L	H	H	H	L	
X	L	H	L	H	H	L	Z	
X	X	L	H	H	L	L	H	ハイレベルテスト
X	X	L	L	L	H	H	L	ローレベルテスト
X	X	L	L	H	H	L	Z	ハイインピーダンステスト

まず、通常の出力回路として動作する場合について説明する。

第2表の真理値表に示すように、テスト制御信号Q、R及びSがそれぞれハイレベル「H」、ローレベル「L」及びハイレベル「H」のときは、出力回路は通常動作状態になる。

従って、トライステート制御信号D_{0E}がハイレベル「H」のときは、内部論理回路の出力信号D_{1n}の論理レベルと出力OUTの論理レベルとは同じになる。

又、トライステート制御信号D_{0E}がローレベル「L」のときは、出力OUTはハイインピーダンスになる。

次に、出力回路をテストする場合の動作について説明する。

端子Qがローレベル「L」になると、端子 \bar{C} はトライステート制御信号D_{0E}の論理レベルに関わりなくハイレベル「H」になり、出力回路がテスト状態になる。

まず、テスト制御信号R及びSがともにハイレ

ベル「H」のときは、複合ゲート21は出力信号D_{1n}に無関係に、出力n₁がローレベル「L」になり、PMOSトランジスタ24がオンになる。

又、複合ゲート22はc₁及びc₂を入力とする

2入力NORとして動作することになり、入力c₂がハイレベル「H」なので、出力信号D_{1n}に無関係に出力n₂がローレベル「L」になり、NMOSトランジスタ25がオフになる。

従って、出力OUTはハイレベル「H」になり、ハイレベル「H」のテストができる。

次に、テスト制御信号R及びSがともにローレベル「L」のときは、複合ゲート21は入力をa₁及びa₂とする2入力NANDとして動作することになり、入力a₂がローレベル「L」なので、出力信号D_{1n}に無関係に出力n₁がハイレベル「H」になり、PMOSトランジスタ24はオフになる。又、複合ゲート22は入力c₂がハイレベル「H」なので、出力信号D_{1n}に無関係に出力n₂がハイレベル「H」になり、NMOSトランジスタ25がオンになる。

ことになる。

上述したように、出力回路はテストのときは、内部論理回路に対して完全に独立し、テスト制御信号Q、R及びSによりハイレベル「H」、ローレベル「L」及びハイインピーダンス「Z」の各状態のテストができる。

なお、本実施例に係る出力回路は18トランジスタで構成され、32トランジスタで構成されている従来の出力回路に比べて素子数が大幅に減少している。

又、出力信号D_{1n}は2段のゲートを通過するだけで出力端子OUTに到達するので、4段のゲートを通過する従来の出力回路に比べて高速動作が可能になる。

ところで、出力回路のテストを容易にするためには、NMOSトランジスタ24及びPMOSトランジスタ25をトライステート制御信号D_{0E}及び出力信号D_{1n}とは無関係にオン・オフできればよいことになる。

従来の出力回路は第2図に示すように、テスト

従って、出力OUTはローレベル「L」になり、ローレベル「L」のテストができる。

次に、テスト制御信号R及びSがそれぞれローレベル「L」及びハイレベル「H」になると、複合ゲート21はa₁及びa₂を入力とする2入力NANDとして動作するとともに、複合ゲート22はc₁及びc₂を入力とする2入力NORとして動作する。

端子 \bar{C} がハイレベル「H」になっているので、複合ゲート21は内部論理回路の出力信号D_{1n}の論理レベルに関係なく、出力n₁がハイレベル「H」になる。又、複合ゲート22は出力n₂がローレベル「L」になる。

従って、出力OUTはハイインピーダンス「Z」になり、ハイインピーダンス「Z」のテストができる。

このように、複合ゲート21及び複合ゲート22は端子 \bar{C} の論理レベルにより、出力n₁及びn₂の論理レベルが決まり、出力回路はテスト機能がないトライステートドライブ回路と同じ動作をする

をしている間に出力ドライブ回路60の接続端子Q及びCをトライステート制御信号D_{OE}及び出力信号D_{1n}とは無関係に強制的にハイレベル「H」及びローレベル「L」にすることにより、NMOSトランジスタ65及びPMOSトランジスタ66をオン・オフしていた。

このため、トライステート制御信号D_{OE}が接続端子Cに、出力信号D_{1n}が接続端子Qに、それぞれ到達するまでに2段以上の論理ゲート、選択回路等素子数の多い回路を通過していた。

本発明では、出力ドライブ回路60の接続端子Cをテストをしている間、強制的にローレベル「L」にしておくと、PMOSトランジスタ64及びNMOSトランジスタ65はいずれもオフになることを利用して、接続端子Cの直前及び各トランジスタ64、65のゲート電極の直前の3か所にテスト制御信号R、S及びTにより制御されるテスト制御回路を設けている。

テスト制御回路を設けることにより、PMOSトランジスタ64のゲートと2入力NANDとの間に設

けられたテスト制御回路は、ハイレベル「H」のテストのときに、PMOSトランジスタ64のゲートを強制的にローレベル「L」にするだけでよいことになる。

即ち、強制的にハイレベル「H」及びローレベル「L」にする必要がないので、各テスト制御回路が簡単な構成になり、素子数を減らすことができる。

【発明の効果】

以上説明したように本発明によれば、ノーマルモードの場合、ドライバ制御回路によるトライステート制御信号を反転出力、第1の複合ゲート及び第2の複合ゲートによる出力信号の反転出力により、出力手段が出力信号及びトライステート制御信号の応じて、ハイレベル、ローレベル及びハイインピーダンスのいずれか一つの状態を出力し、

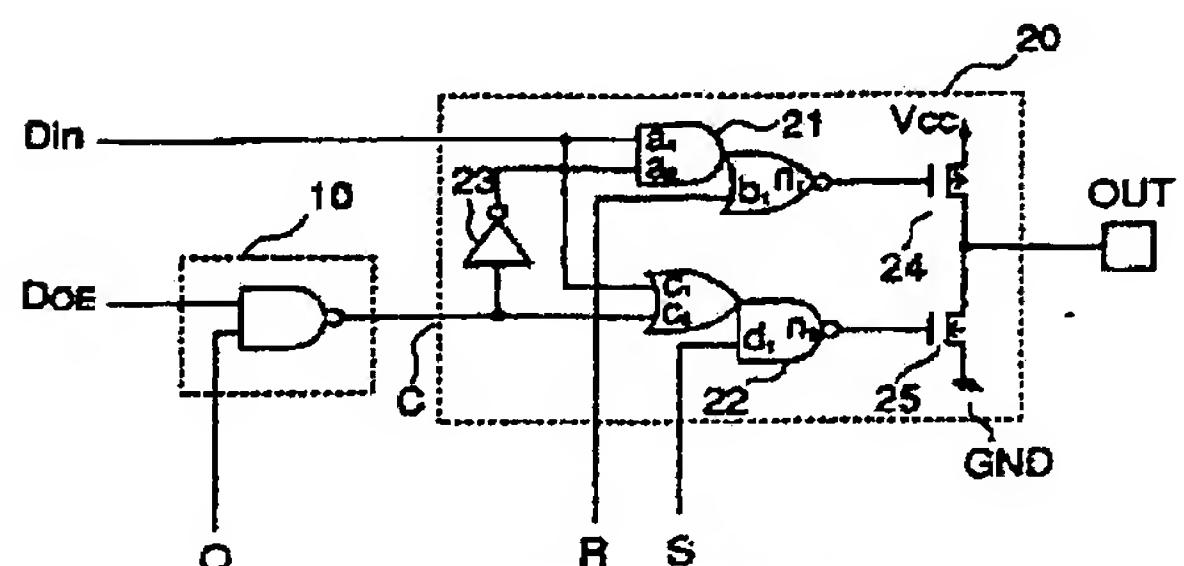
又、テストモードの場合、ドライバ制御回路によるハイレベルの状態の出力、第1の複合ゲートによるローレベルの状態の出力、第2の複合ゲートによるハイレベルの状態の出力により、出力手

段が第1のテスト制御信号、第2のテスト制御信号及び第3のテスト制御信号の状態に応じて、ハイレベル、ローレベル及びハイインピーダンスのいずれか一つの状態を出力するようにしたので、素子数が少なく、高速動作が可能な、テストが容易にできる出力回路が得られるという効果を奏する。

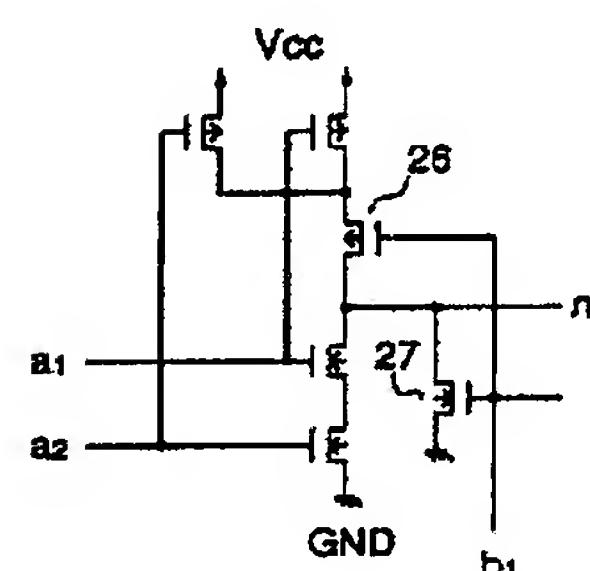
4. 図面の簡単な説明

第1図は本発明の一実施例に係る出力回路の回路図、第2図は従来の出力回路の回路図、第3図は第2図に示したバスドライバの回路図、第4図及び第5図は第1図に示した複合ゲートの回路図、第6図は第1図に示した出力回路に入力するテスト制御信号を発生する回路の回路図である。

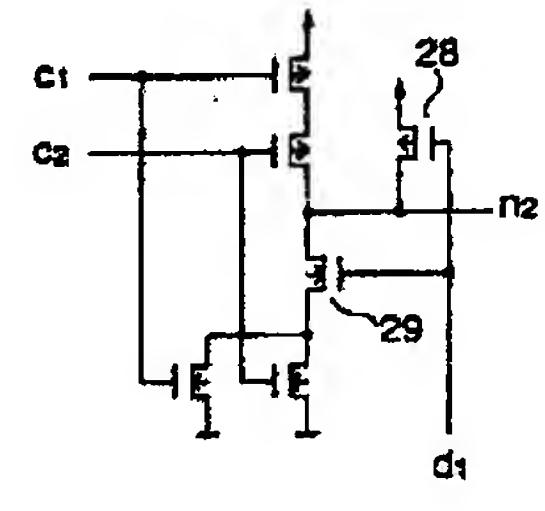
10…ドライバ制御回路、20…出力ドライブ回路、21、22…複合ゲート、23…インバータ、24…PMOSトランジスタ、25…NMOSトランジスタ。



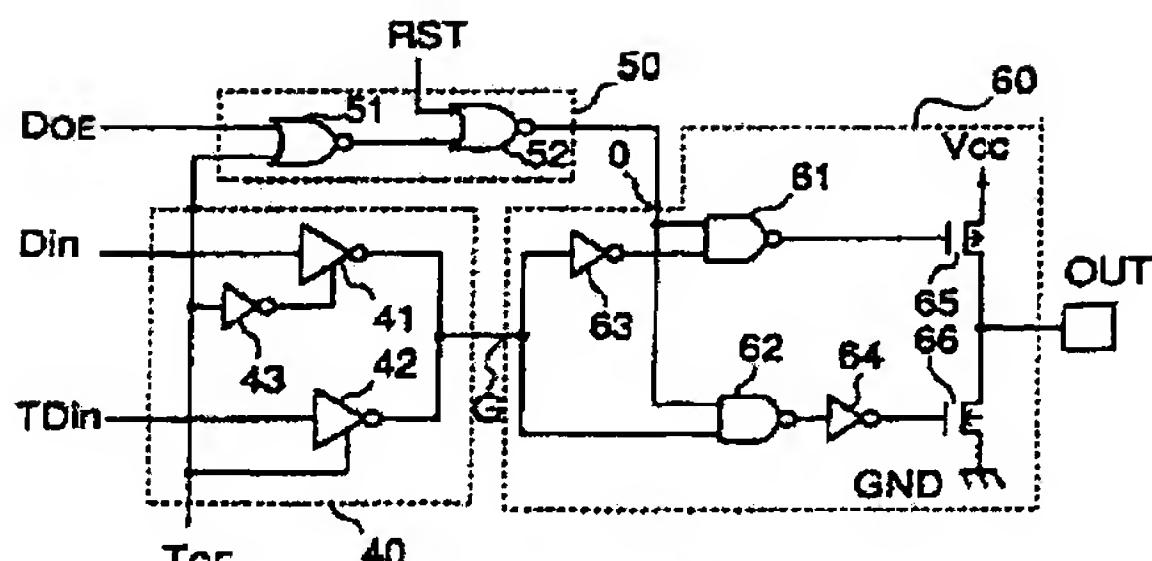
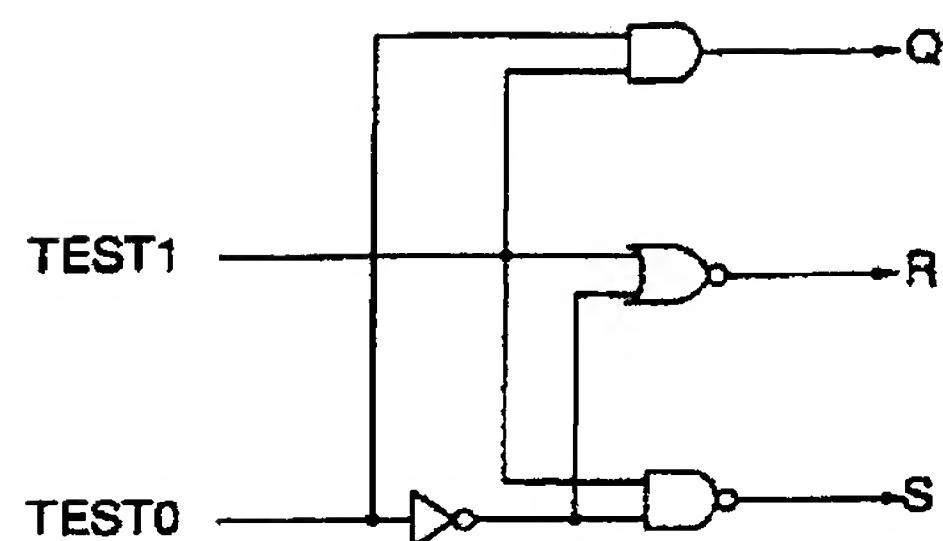
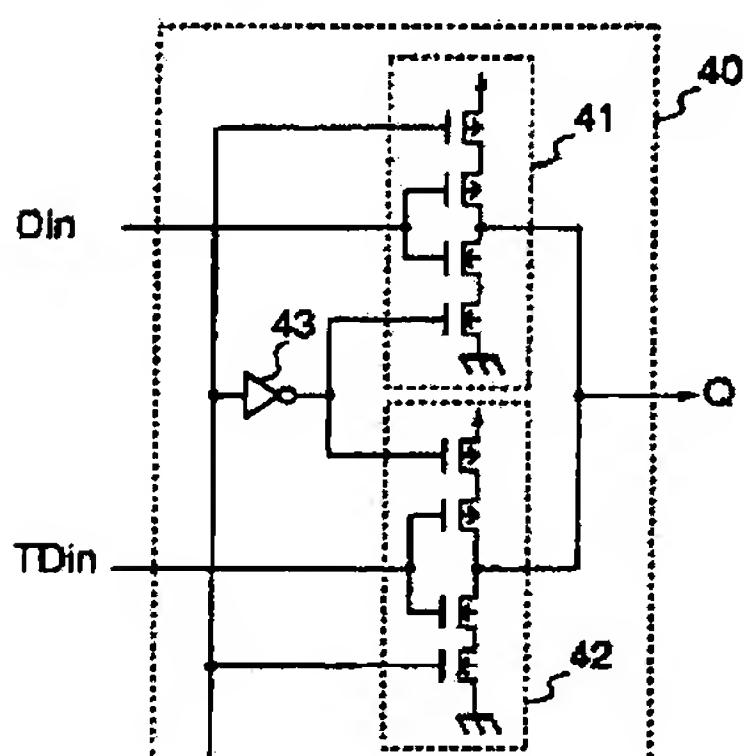
本発明の一実施例
第1図



複合ゲート11の回路
第4図



複合ゲート12の回路
第5図

従来の出力回路
第2図テスト制御信号発生回路
第6図選択回路
第3図

手続補正書(自発)

平成 年元月22日

特許庁長官殿

1. 事件の表示

特願平1-51963号

2. 発明の名称

出力回路

3. 補正をする者

事件との関係 特許出願人

住所 東京都港区虎ノ門1丁目7番12号

名称 (029) 沖電気工業株式会社

代表者 小杉信光

4. 代理人

住所 東京都港区芝浦4丁目10番3号

沖電気工業株式会社内

氏名 (8892)弁理士 鈴木敏明

電話(454)2111 大代表



5. 補正の対象

明細書の「発明の詳細な説明」の欄及び図面

方式
審査

小判

特許庁
1.12.22
受付

6. 補正の内容

- (1) 明細書第8頁第10行の「及び」を削除する。
- (2) 明細書第11頁第15行の「第6図は」を、「第6図に一例として」と補正する。
- (3) 明細書第11頁第16行の「回路図である。」を、「回路図を示す。」と補正する。
- (4) 明細書第13頁第5行と第6行の間に、「さて、第1図の回路の説明にもどる。」を挿入する。
- (5) 明細書第13頁第18行～第19行の「出力回路は、ドライバ制御回路10、」を、「出力回路においては、ドライバ制御回路10と、」と補正する。
- (6) 明細書第14頁第1行の「トランジスタ29」を、「トランジスタ29と」と補正する。
- (7) 明細書第14頁の第2表の下に「注) ×は日、しいずれでもよい事を示す。」を挿入する。
- (8) 明細書第15頁第6行と第7行の間に、以下の通り挿入する。

「このとき、ドライバ制御回路10は D_{OE} を入力とするインバータとして、また複合ゲート21は a_1 及び a_2 を入力とする2入力NANDゲート

として、複合ゲート22は c_1 及び c_2 を入力とする2入力NORゲートとしてそれぞれ働く。

この結果、出力回路20はテスト機能がないトライステートドライブ回路と同じ動作をすることがある。」

(9) 明細書第18頁第17行の「 c_2 がハイレベル「H」」を、「 d_1 がローレベル「L」」と補正する。

(10) 明細書第17頁第17行～第18頁第1行の「この
ように、……ことになる。」を削除する。

(11)明細書第18頁第15行の「ところで、」を、「このようにゲートの段数を減らせるのは次の理由による。」と補正する。

(12) 明細書第19頁第1行の「回路60の接続端子」を、「回路60の入力にあたる接続端子」と補正する。

(13) 明細書第19頁第11行～第20頁第4行の「本発明では、……になる。」を以下の通り補正する。

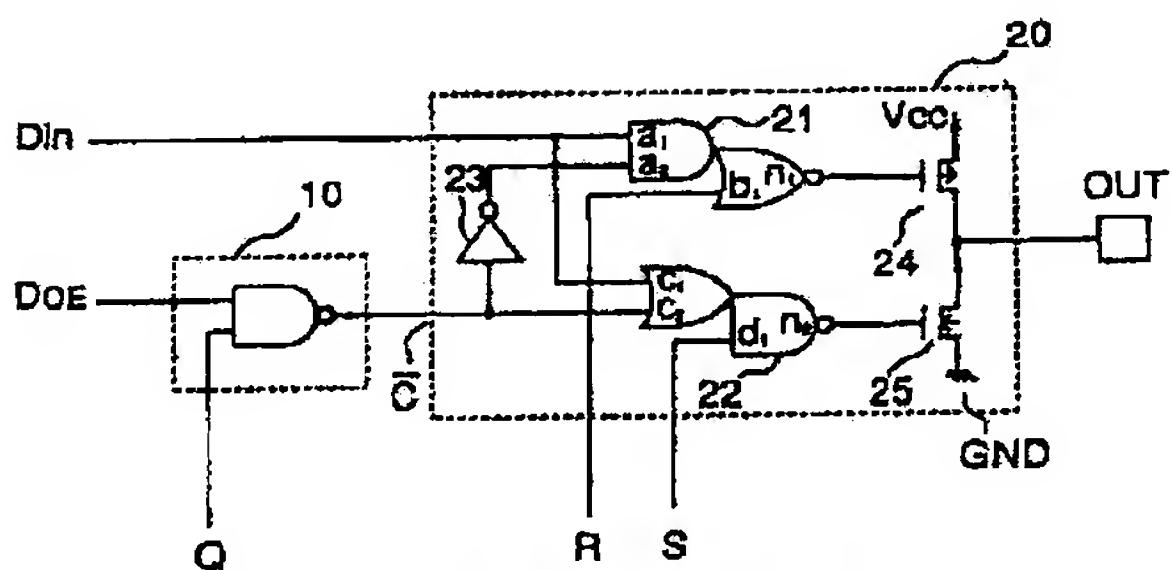
「本発明では以下の点に注目した。即ち第2図において、テストの間出力ドライブ回路80の接続

端子Qを強制的にローレベル「L」にしておくと、PMOSトランジスタ85及びNMOSトランジスタ88はいずれもオフになることを利用して、接続端子Qの直前及び各トランジスタ85, 88のゲート電極の直前の3か所にテスト制御信号R、S及びTにより制御されるテスト制御回路を設けて第1図の回路を得た。

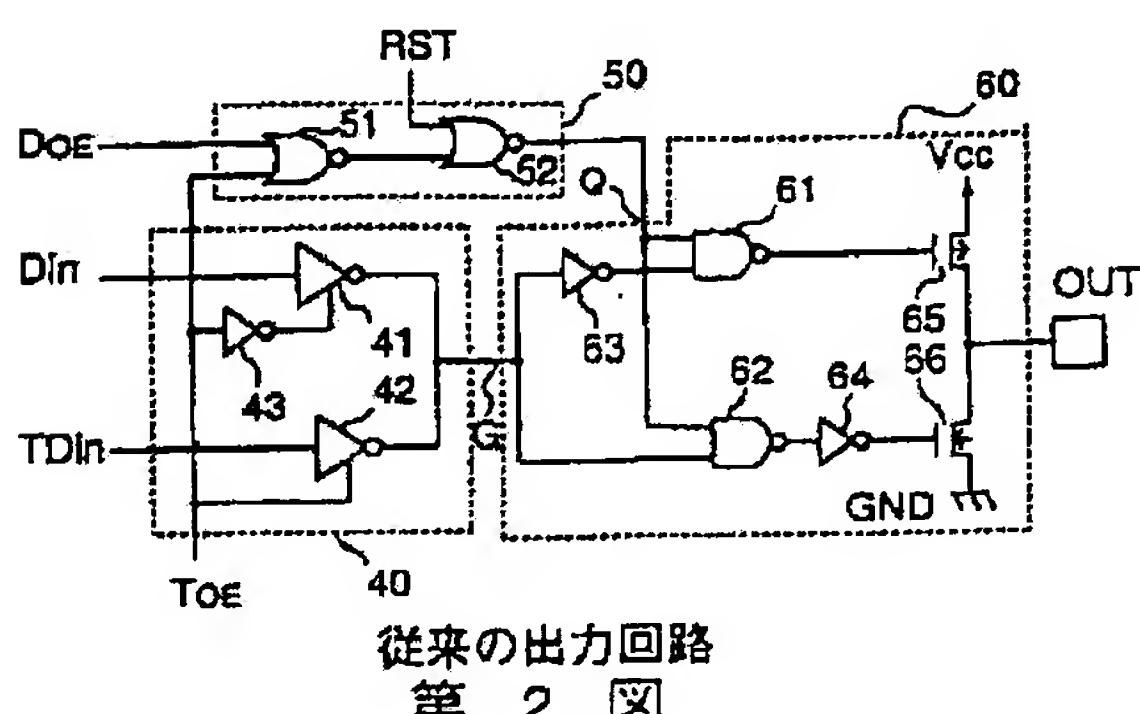
第1図の回路においては、例えばPMOSトランジスタ24のゲートと2入力NANDとの間に設けられたテスト制御回路である複合ゲート21は、ハイレベル「H」のテストのときにのみ、PMOSトランジスタ24のゲートを強制的にローレベル「L」にするだけである。」

(14) 図面の第1図、第2図及び第4図を、別紙補正図面の通り補正する。

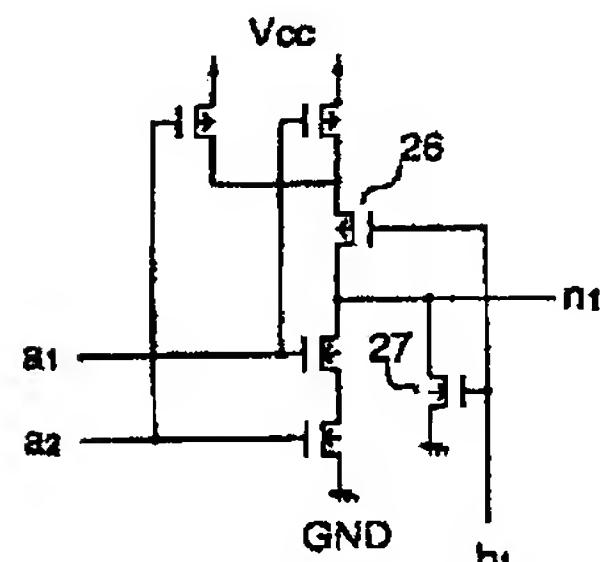
以 上



本発明の一実施例 第 1 図



近畿の山脈回路
第 2 図



複合ゲート 11 の回路 第 4 図